

JC490 U.S. PTO
09/305240
05/04/99

JC490 U.S. PTO
09/305240
05/04/99

#2 / Priority
Paper
7-8-99
Vef

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

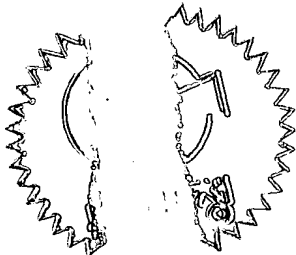
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 1998년 특허출원 제15975호
Application Number

출원년월일 1998년 5월 4일
Date of Application

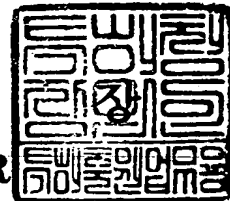
출원인 삼성전자주식회사
Applicant(s)



1998년 5월 20일

특허청

COMMISSIONER



특허출원서

【출원번호】 98-015975

【출원일자】 98/05/04

【국제특허분류】 G11C

【발명의 국문명칭】 반도체 장치의 오픈 드레인 입출력단 구조 및 그 제조방법

【발명의 영문명칭】 Open drain input/output structure of semiconductor device and method for fabricating thereof

【출원인】

【국문명칭】 삼성전자 주식회사

【영문명칭】 SAMSUNG ELECTRONICS CO., LTD.

【대표자】 윤종용

【출원인코드】 14001979

【출원인구분】 국내상법상법인

【우편번호】 442-373

【주소】 경기도 수원시 팔달구 매탄3동 416번지

【국적】 KR

【대리인】

【성명】 김능균

【대리인코드】 A401

【전화번호】 02-508-5141

【우편번호】 135-080

【주소】 서울특별시 강남구 역삼동 822-5번지

【발명자】

【국문성명】 심병섭

【영문성명】 SHIM, Byung Sup

【주민등록번호】 671010-1279315

【우편번호】 135-270

【주소】 서울특별시 동대문구 제기2동 137-75번지

【국적】 KR

【발명자】

【국문성명】 김영호

【영문성명】 KIM, Young Ho

【주민등록번호】 701108-1789721

【우편번호】 449-900

【주소】 경기도 용인시 기흥읍 구갈리 풍림아파트 102동 508호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

김능균 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

김능균 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	7 면	7,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	8 항	365,000 원
【합계】	401,000 원	

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통
2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통
3. 위임장(및 동 번역문)

【요약서】

【요약】

반도체 장치의 오픈 드레인 입출력단(이하, I/O라 한다) 구조 및 그 제조방법이 개시된다. 본 발명에서 제시된 오픈 드레인 I/O는 오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 구비한 오픈 드레인 입출력단에 있어서, 상기 인헨스먼트 트랜지스터가 게이트 절연막이 구비된 제 1 도전형 반도체 기판 상의 소정 부분에 형성된 게이트와, 상기 게이트 좌·우측의 상기 기판 내부에 형성된 제 2 도전형의 소오스/드레인 영역 및, 상기 소오스/드레인 영역중 선택된 어느 한 영역과 일체로 연결되도록, 상기 게이트 하단의 채널 영역 소정 부분에 걸쳐 형성된 제 2 도전형의 불순물 주입 영역으로 이루어지도록 구성된다. 그 결과, 1) 풀-업 저항용 n 채널 디플리션 트랜지스터를 인헨스먼트 트랜지스터화하기 위하여 게이트 형성후에 실시해 주던 불순물 이온주입 공정을 제거할 수 있게 되므로 공정 단순화와 비용 절감을 실현할 수 있게 되고, 2) 이로 인해 동일 레이 아웃의 오픈 드레인 I/O를 가지고 마스크롬 임베디드 MCU(MASKROM embedded MCU)와 이피롬 임베디드 MCU(EPROM embedded MCU)의 풀-업 저항용 I/O와 오픈 드레인 I/O를 모두 구현할 수 있게 되므로 각 MCU 제조사 호완성있는 적용이 가능하게 된다.

【대표도】

도 5a

【명세서】

【발명의 명칭】

반도체 장치의 오픈 드레인 입출력단 구조 및 그 제조방법

【도면의 간단한 설명】

도 1은 종래 반도체 장치의 오픈 드레인 입출력단 구조를 개략적으로 도시한 회로도,

도 2는 도 1의 오픈 드레인 트랜지스터(A) 구조를 도시한 단면도,

도 3은 도 1의 인헨스먼트 트랜지스터(B) 구조를 도시한 단면도,

도 4는 도 3에 제시된 트랜지스터의 게이트 형성후의 레이아웃 구조를 도시한 평면도,

도 5a 내지 도 5c는 본 발명의 제 1 실시예에 의한 반도체 장치의 입출력단 구조를 도시한 것으로,

도 5a는 오픈 드레인 입출력단의 인헨스먼트 트랜지스터 구조를 도시한 단면도,

도 5b는 도 5a에 제시된 트랜지스터의 게이트 형성후의 레이아웃 구조를 도시한 평면도,

도 5c는 도 5a의 등가 회로도,

도 6a 내지 도 6c는 본 발명의 제 2 실시예에 의한 반도체 장치의 입출력단 구조를 도시한 것으로,

도 6a는 오픈 드레인 입출력단의 인헨스먼트 트랜지스터 구조를 도시한 단면

도,

도 6b는 도 6a에 제시된 트랜지스터의 게이트 형성후의 레이 아웃 구조를 도시한 평면도,

도 6c는 도 6a의 등가 회로도,

도 7a 내지 도 7c는 본 발명의 제 3 실시예에 의한 반도체 장치의 입출력단 구조를 도시한 것으로,

도 7a는 오픈 드레인 입출력단의 인헨스먼트 트랜지스터 구조를 도시한 단면도,

도 7b는 도 7a에 제시된 트랜지스터의 게이트 형성후의 레이 아웃 구조를 도시한 평면도,

도 7c는 도 7a의 등가 회로도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 오픈 드레인 입출력단(이하, I/O라 한다) 구현시 별도의 불순물 이온주입 공정없이도 용이하게 풀-업 저항용 n 채널 디플리션 트랜지스터를 인헨스먼트 트랜지스터화할 수 있도록 한 반도체 장치의 오픈 드레인 I/O 구조 및 그 제조방법에 관한 것이다.

일반적으로 마스크 롬 임베디드 MCU(MASKROM embedded MCU)에서는 I/O 구현

시 오픈 드레인 옵션(open drain option)과 풀-업 옵션(pull-up option)을 동일 레이아웃으로 가져가되, 풀-업 옵션으로 이용될 셀에만 선택적으로 게이트 형성후 채널 영역에 p형 불순물을 더 이온주입해 주어 디플리션 트랜지스터를 인헨스먼트 트랜지스터로 변환시켜 주는 방식으로 반도체 장치의 오픈 드레인 I/O를 구현하고 있다.

이와 같이 디플리션 트랜지스터를 선택적으로 인헨스먼트 트랜지스터로 변환시켜 준 것은 오픈 드레인 I/O에서는 통상 외부 고전압을 이용하여 소자 제어를 하게 되는데, 풀-업 저항형 I/O의 풀-업 저항 양단에 칩의 전원과 외부 고전압이 걸릴 경우 풀-업 저항을 통해 전류의 흐름이 발생하게 되어 외부 소자 제어가 이루어지지 않게 되므로 불순물 이온주입 공정을 통해 풀-업 저항으로 쓰이는 디플리션 트랜지스터를 단락시켜 주기 위함이다.

즉, 디플리션 트랜지스터를 풀-업 저항으로 이용하되, 이를 오픈 드레인 I/O로 이용하고자 할 경우에는 게이트 패터닝후 채널 영역으로의 불순물 이온주입 공정을 통해 인헨스먼트 트랜지스터로 변환시켜 단락시키게 되는 것이다.

도 1에는 이와 관련된 종래 반도체 장치의 오픈 드레인 I/O 구조를 도시한 회로도도가 도시되어 있다. 도 1의 회로도도를 참조하면, 종래의 오픈 드레인 I/O는 각각의 내부 로직회로(10a),(10b)와 개별적으로 연결된 두 개의 트랜지스터(n 채널 오픈 드레인 트랜지스터(A)와 게이트 형성후 실시된 불순물 이온주입 공정으로 인해 인헨스먼트 트랜지스터가된 n 채널 디플리션 트랜지스터(본 발명에서는 이해를 돕기 위하여 편의상 이를 인헨스먼트 트랜지스터라 명함))가 서로 직렬 연결된 상

테로 입출력 패드(20)에 연결되고, 상기 패드(20)에는 모스 타입의 LSI와는 다른 외부 고전압 인가용의 외부 아날로그 IC가 연결되도록 이루어져 있음을 알 수 있다. 여기서, 참조부호 C는 오픈 드레인 회로에서 단락되는 지점을 나타내고, D는 오픈 드레인 I/O의 입력단을 나타내며, E는 외부 소자를 나타내고, Vdd는 내부 전압을 나타낸다.

이때, 인헨스먼트 트랜지스터(B)는 항상 단락되어 있어야 하므로, 제 1 내부 로직회로(10a)의 신호는 로우 레벨 신호를 유지하여야 하며, 제 2 내부 로직회로(10b)의 신호가 하이 레벨일 경우에만 패드를 통해 외부 신호가 인가될 때 오픈 드레인 트랜지스터(A)에 전류가 흐르게 되어 외부 소자 구동이 이루어지게 된다.

도 2 및 도 3에는 도 1에 제시된 오픈 드레인 I/O의 입출력 패드(20)에 연결된 각각의 트랜지스터 구조를 도시한 단면도가 제시되어 있다. 여기서, 도 2는 n 채널 오픈 드레인 트랜지스터(A)의 구조를 도시한 단면도를 나타내고, 도 3은 본 발명과 직접적으로 관련되는 인헨스먼트 트랜지스터(B)의 구조를 도시한 단면도를 나타낸다.

도 2에 의하면, n 채널 오픈 드레인 트랜지스터(A)는 필드 산화막(32)이 구비된 제 1 도전형(예컨대, p형) 반도체 기판(30) 상의 액티브 영역에는 게이트 절연막(34)이 형성되고, 그 위의 소정 부분에는 "W-실리사이드(36b)/폴리실리콘(36a)" 적층 구조의 게이트(36)가 형성되며, 게이트(36)의 양 측벽에는 절연막 재질의 스페이서(38)가 형성되고, 게이트(36) 좌·우측의 기판(30) 내부에는 LDD(lightly doped drain)(40)가 구비된 제 2 도전형(예컨대, n형)의 소오스/드레

인 영역(42)이 형성되도록 구성되어 있음을 알 수 있다. 도 2에서 참조부호 W1은 게이트(36) 길이를 나타낸다.

도 3에 의하면, 인헨스먼트 트랜지스터(B)는 앞서 제시된 n 채널 트랜지스터와 기본 구조는 동일하게 가져가되, 게이트(36) 하단의 채널 영역에 제 2 도전형(예컨대, n형)의 불순물 주입 영역(44)이 형성되고, 그 사이의 소정 부분에 제 1 도전형(예컨대, p형) 불순물 주입 영역(46)이 더 형성되도록 이루어졌다는 점에서만 차이점을 지녀, 하이 레벨 신호가 인가될 때를 제외하고는 항상 오프(off) 특성을 가지도록 구성되어 있음을 알 수 있다. 도 3에서 참조부호 W2은 게이트(36) 길이를 나타낸다.

상기 인헨스먼트 트랜지스터(B)는 게이트 형성후에 풀-업 저항으로 쓰이던 n 채널 디플리션 트랜지스터의 채널 영역에 제 1 도전형의 불순물을 더 이온주입하여 형성한 것으로, 도 4에는 도 3에 제시된 트랜지스터(B)의 게이트 형성후의 레이아웃 구조를 도시한 평면도가 제시되어 있다. 상기 평면도를 참조하면, 게이트(36)가 제 2 도전형 불순물 주입 영역(44) 상의 게이트 절연막(34) 소정 부분에 위치하도록 형성되고, 제 1 도전형 불순물 주입 영역(46)이 게이트(36) 하단의 제 2 도전형 불순물 주입 영역(44) 사이에 형성되도록 위치해 있음을 알 수 있다.

그러나, 상기 구조를 가지도록 오픈 드레인 I/O를 형성할 경우에는 다음과 같은 몇가지의 문제점이 발생하게 된다.

첫째, 오픈 드레인 I/O를 구현하기 위하여 풀-업 저항으로 쓰이던 n 채널 디플리션 트랜지스터를 상기와 같이 인헨스먼트 트랜지스터화할 경우, 게이트 형성후,

에 제 1 도전형 불순물 주입 영역(46)을 형성하기 위한 별도의 불순물 이온주입 공정을 1회 더 실시해 주어야 하므로 이로 인해 공정 복잡화와 비용 상승이 초래되는 문제가 발생하게 된다.

둘째, 시스템 메이커(system maker)가 프로그램 개발 및 조속한 시장 적용을 목적으로 이피롬(EPROM)과 같은 NVM(non-volatile memory) 셀을 적용하여 이피롬 임베디드 MCU를 구현하고자 할 경우, 기존 마스크롬 임베디드 MCU와 다른 공정 및 다른 레이아웃을 이용하여 오픈 드레인 I/O를 구현할 경우에는 별 문제가 발생되지 않으나 기존 마스크롬 임베디드 MCU에서 사용하던 것과 동일 레이아웃으로 I/O를 구현하고자 할 경우에는 다음과 같은 문제가 발생하게 된다. 통상, 이피롬 임베디드 MCU의 경우 마스크롬 임베디드 MCU의 프로그램 방식인 AGP(after gate programming) 코딩(coding)법을 이용하지 않으므로 공정 진행중에 게이트 형성후의 불순물 이온주입 공정 자체가 없게 된다. 따라서, 상기에 언급된 방법으로는 이피롬 임베디드 MCU의 풀-업 저항용 I/O와 오픈 드레인 I/O를 선택적으로 구현할 수 없게 된다. 즉, 마스크롬 임베디드 MCU에서는 상기 구조의 오픈 드레인 I/O를 이용하여 풀-업 저항용 I/O와 오픈 드레인 I/O를 모두 구현할 수 있으나 이피롬 임베디드 MCU에서는 풀-업 저항용 I/O만을 구현할 수 있어, 동일 레이아웃의 오픈 드레인 I/O를 마스크롬 임베디드 MCU와 이피롬 임베디드 MCU에 모두 범용성있게 적용할 수 없다는 단점이 발생하게 된다.

【발명이 이루고자 하는 기술적 과제】

이에 본 발명의 목적은, 입출력 패드와 연결된 인헨스먼트 트랜지스터의 게

이트 구조 변경을 통하여 별도의 공정 추가(예컨대, 불순물 이온주입 공정)없이도 용이하게 마스크롬 임베디드 MCU와 이피롬 임베디드 MCU에 모두 적용 가능한 오픈 드레인 I/O를 구현할 수 있도록 한 반도체 장치의 오픈 드레인 I/O 구조를 제공함에 있다.

본 발명의 다른 목적은 I/O의 오픈 드레인 구조를 효과적으로 제조할 수 있는 반도체 장치의 오픈 드레인 I/O 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

상기 목적을 달성하기 위하여 본 발명의 제 1 및 제 2 실시예에서는, 오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 구비한 오픈 드레인 I/O를 갖는 반도체 장치에 있어서, 상기 인헨스먼트 트랜지스터가 게이트 절연막이 구비된 제 1 도전형 반도체 기판 상의 소정 부분에 형성된 게이트와, 상기 게이트 좌·우측의 상기 기판 내부에 형성된 제 2 도전형의 소오스/드레인 영역 및, 상기 소오스/드레인 영역중 선택된 어느 한 영역과 일체로 연결되도록, 상기 게이트 하단의 채널 영역 소정 부분에 걸쳐 형성된 제 2 도전형 불순물 주입 영역으로 이루어진 것을 특징으로 하는 반도체 장치의 오픈 드레인 I/O 구조가 제공된다.

상기 목적을 달성하기 위하여 본 발명의 제 3 실시예에서는, 오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 갖는 오픈 드레인 I/O를 구비한 반도체 장치에 있어서, 상기 인헨스먼트 트랜지스터가 게이트 절연막이 구비된 제 1 도전형 반도체 기판 상의 소정 부분에 형성된 게이트와, 상기 게이트 좌·우측의 상기 기판 내부에 형성된 제 2 도전형의 소오스/드레인 영역 및, 상기 소오스/드레인 영역과

서로 소정 간격 이격되도록, 상기 게이트 하단의 채널 영역 소정 부분에 형성된 제 2 도전형의 불순물 주입 영역으로 이루어진 것을 특징으로 하는 반도체 장치의 오픈 드레인 I/O 구조가 제공된다.

상기 목적을 달성하기 위하여 본 발명의 제 1 및 제 2 실시예에서는, 오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 구비한 반도체 장치의 오픈 드레인 I/O 제조방법에 있어서, 상기 인헨스먼트 트랜지스터가 제 1 도전형 반도체 기판 상의 액티브 영역에 게이트 절연막을 형성하는 공정과, 제 2 도전형의 저농도 불순물 이온주입 공정을 통해, 상기 게이트 절연막 하단의 상기 기판 내부 소정 부분에 불순물 주입 영역을 형성하는 공정과, 상기 불순물 주입 영역의 소정 부분과 이와 연결된 그 인접부의 상기 기판 표면이 소정 부분이 포함되도록 상기 게이트 절연막 상에 게이트를 형성하는 공정 및, 제 2 도전형의 고농도 불순물 이온주입 공정을 통해, 상기 게이트 좌·우측의 상기 기판 내부에 소오스/드레인 영역을 형성하는 공정을 거쳐 제조되는 것을 특징으로 하는 반도체 장치의 오픈 드레인 I/O 제조방법이 제공된다.

상기 목적을 달성하기 위하여 본 발명의 제 3 실시예에서는, 오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 구비한 반도체 장치의 오픈 드레인 I/O 제조방법에 있어서, 상기 인헨스먼트 트랜지스터가 제 1 도전형 반도체 기판 상의 액티브 영역에 게이트 절연막을 형성하는 공정과, 제 2 도전형의 저농도 불순물 이온주입 공정을 통해, 상기 게이트 절연막 하단의 상기 기판 내부 소정 부분에 불순물 주입 영역을 형성하는 공정과, 상기 불순물 주입 영역과 그 주변의 상기 기판 표면

이 소정 부분이 포함되도록 상기 게이트 절연막 상에 게이트를 형성하는 공정 및, 제 2 도전형의 고농도 불순물 이온주입 공정을 통해 상기 게이트 좌·우측의 상기 기판 내부에 소오스/드레인 영역을 형성하는 공정을 거쳐 제조되는 것을 특징으로 하는 반도체 장치의 오픈 드레인 I/O 제조방법이 제공된다.

상기와 같이 반도체 장치의 오픈 드레인 I/O를 형성할 경우, n 채널 다플리션 트랜지스터의 게이트 사이즈를 기존 사이즈보다 다소 길게 가져가 주는 것만으로도 다플리션 트랜지스터를 인헨스먼트 트랜지스터화할 수 있게 되므로, 게이트 형성후에 오픈 드레인 I/O를 구현하기 위한 별도의 불순물 이온주입 공정이 필요없게 된다. 이로 인해, 상기 구조의 오픈 드레인 I/O를 이용해서는 마스크롬 임베디드 MCU와 이퍼롬 임베디드 MCU의 풀-업 저항용 I/O와 오픈 드레인 I/O를 모두 구현할 수 있게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

본 발명은 반도체 장치의 오픈 드레인 I/O 제조시, 게이트의 구조 변경을 통하여 게이트 형성후에 실시되는 불순물 이온주입 공정없이도 n 채널 다플리션 트랜지스터를 인헨스먼트 트랜지스터화할 수 있도록 공정을 진행해 주므로써, 마스크롬 임베디드 MCU와 이퍼롬 임베디드 MCU에 모두 적용 가능하면서도 동시에 공정 단순화에 기인한 비용 절감 효과 또한 얻을 수 있도록 하는데 주안점을 둔 기술로서, 이를 도 5 내지 도 7에 제시된 도면을 참조하여 살펴보면 다음과 같다.

먼저, 도 5a 내지 도 5c에 제시된 도면을 참조하여 본 발명의 제 1 실시예부

터 살펴본다. 여기서, 도 5a는 최종적으로 만들어진 본 발명에 의한 오픈 드레인 I/O의 인헨스먼트 트랜지스터 구조를 도시한 단면도를 나타내고, 도 5b는 도 5a에 제시된 트랜지스터의 게이트 형성후의 레이아웃 구조를 도시한 평면도를 나타내며, 도 5c는 도 5a의 등가 회로도를 나타낸다. 이 경우, n 채널 오픈 드레인 트랜지스터는 종래와 동일한 구조를 가지도록 제조되므로 여기서는 이와 관련된 설명은 피하고 도 1의 I 부분에 형성되어 있는 인헨스먼트 트랜지스터(B)의 제조와 관련된 기술을 중심으로 살펴본다.

도 5a를 참조하면, 본 발명의 제 1 실시예에서 제안된 인헨스먼트 트랜지스터는 크게, 필드 산화막(32)이 구비된 제 1 도전형(예컨대, p형) 반도체 기판(30) 상의 액티브 영역(F)에는 게이트 절연막(34)이 형성되고, 그 위의 소정 부분에는 "W-실리사이드(36b)/폴리실리콘(36a)" 적층 구조(혹은 폴리실리콘의 단층 구조)의 게이트(36)가 형성되며, 게이트(36)의 양 측벽에는 절연막 재질의 스페이서(38)가 형성되고, 게이트(36) 좌·우측의 기판(30) 내부에는 LDD(40)가 구비된 제 2 도전형(예컨대, n형)의 소오스/드레인 영역(42)이 형성되며, 게이트(34) 하단의 채널 영역에는 소오스 영역과는 일체로 연결되는 반면 드레인 영역과는 서로 소정 간격이격되도록 제 2 도전형(예컨대, n형)의 불순물 주입 영역(44)이 형성되도록 구성되어 있음을 알 수 있다.

따라서, 상기 구조의 트랜지스터는 다음의 제 4 단계 공정을 거쳐 제조된다.

제 1 단계로서, 필드 산화막(32)이 구비된 제 1 도전형 반도체 기판(30) 상의 액티브 영역(F)에 게이트 절연막(34)을 형성한 다음, 그 위의 소정 부분에 선택

적으로 제 2 도전형의 불순물을 이온주입하여 게이트 절연막(34) 하단의 기판(30) 내부 소정 부분에 제 2 도전형 불순물 주입 영역(44)을 형성한다.

제 2 단계로서, 불순물 주입 영역(44)의 소정 부분과 이와 연결된 그 인접부의 기판(30) 표면이 소정 부분 포함되도록, 게이트 절연막(34) 상에 게이트(36)를 형성한다. 여기서는 편의상, 게이트(36)를 "W-실리사이드(36b)/폴리실리콘(36a)"의 적층 구조로 도시해 놓았으나 경우에 따라서는 폴리실리콘의 단층 구조로 제작해 주어도 무방하다. 이와 같이, 게이트(36)를 기판(30)쪽으로 소정 길이 연장하여 기존의 W2 사이즈보다 다소 긴 W3의 사이즈를 가지도록 제작한 것은 게이트(36) 하단에 형성되는 채널 영역의 소정 부분에만 제 2 도전형의 불순물 주입 영역(44)이 형성되도록 하여 이후 채널을 오픈시켜 주기 위한 별도의 제 1 도전형 불순물 이온주입 공정 없이도 오픈 드레인 구조를 실현할 수 있도록 하기 위함이다. 본 실시예에 대한 이해를 높이기 위하여 도 5b에는 게이트(36)가 형성된 상태의 전체적인 소자 레이아웃 구조를 도시한 평면도를 제시해 놓았다.

제 3 단계로서, 게이트(36)를 마스크로 이용하여 기판(30) 상으로 저농도의 제 2 도전형 불순물을 이온주입하여 게이트(36) 좌·우측의 기판(30) 내부에 LDD(40)를 형성한다.

제 4 단계로서, 게이트(36)의 양 측벽에 절연막(예컨대, 산화막) 재질의 스페이서(38)를 형성하고, 이를 마스크로 이용하여 기판(30) 상으로 고농도의 제 2 도전형 불순물을 이온주입하여 기판(30) 내에 소오스/드레인 영역(42)을 형성함으로써 본 공정 진행을 완료한다.

도 5c에는 도 5a에 제시된 트랜지스터의 등가회로도(5c)가 제시되어 있다. 상기 회로도는 종래 기술과 차별화되는 도 1의 1 부분만을 비교 도시한 것으로 이를 참조하면, 상기 트랜지스터가 제 2 도전형 불순물 주입 영역(44)이 형성된 n 채널 영역에서는 디플리션 트랜지스터(B2)로 동작되고, 반면 불순물 주입 영역(44)이 형성되지 않은 p 채널 영역(도면 상에서 "o"로 표시된 부분)에서는 인헨스먼트 트랜지스터(B1)로 동작되도록 이루어져, 소오스 영역에 Vdd가 인가된 상태에서 게이트에 인가되는 내부 신호가 로우 레벨일 경우에만 인헨스먼트 트랜지스터를 단락시킬 수 있음을 알 수 있다.

다음으로, 도 6a 내지 도 6c에 제시된 도면을 참조하여 본 발명의 제 2 실시예를 살펴본다. 여기서, 도 6a는 최종적으로 만들어진 본 발명에 의한 오픈 드레인 I/O의 인헨스먼트 트랜지스터 구조를 도시한 단면도를 나타내고, 도 6b는 도 6a에 제시된 트랜지스터의 게이트 형성후의 레이아웃 구조를 도시한 평면도를 나타내며, 도 6c는 도 6a의 등가 회로도를 나타낸다.

도 6a를 참조하면, 본 발명의 제 2 실시예에서 제안된 인헨스먼트 트랜지스터는 크게, 필드 산화막(32)이 구비된 제 1 도전형(예컨대, p형) 반도체 기판(30)상의 액티브 영역(F)에는 게이트 절연막(34)이 형성되고, 그 위의 소정 부분에는 "W-실리사이드(36b)/폴리실리콘(36a)" 적층 구조(혹은 폴리실리콘의 단층 구조)의 게이트(36)가 형성되며, 게이트(36)의 양 측벽에는 절연막 재질의 스페이서(38)가 형성되고, 게이트(36) 좌·우측의 기판(30) 내부에는 LDD(40)가 구비된 제 2 도전형(예컨대, n형)의 소오스/드레인 영역(42)이 형성되며, 게이트(36) 하단의 채널


영역에는 드레인 영역과는 일체로 연결되는 반면 소오스 영역과는 서로 소정 간격 이격되도록 제 2 도전형(예컨대, n형)의 불순물 주입 영역(44)이 형성되도록 구성되어 있음을 알 수 있다. 여기서, W3는 게이트 길이를 나타낸다.

이 경우, 도 6b에 제시된 평면도에서 알 수 있듯이 게이트(36)가 형성되는 위치에 차이가 있을 뿐 기본 공정 자체는 제 1 실시예에서 제시된 공정과 동일하게 진행되므로 여기서는 이의 제조 공정과 관련된 설명은 피한다.

도 6c에는 도 6a에 제시된 트랜지스터의 등가회로도가 제시되어 있다. 상기 회로도를 참조하면, 상기 트랜지스터가 제 2 도전형의 불순물 주입 영역(44)이 형성되지 않은 p 채널 영역(도면상에서 "o"로 표시된 부분)에서는 인헨스먼트 트랜지스터(B1)로 동작되고, 반면 불순물 주입 영역(44)이 형성된 n 채널 영역에서는 디플리션 트랜지스터(B2)로 동작되도록 이루어져, 소오스 영역에 Vdd가 인가된 상태에서 게이트에 인가되는 내부 신호가 로우 레벨일 경우에만 인헨스먼트 트랜지스터를 단락시킬 수 있음을 알 수 있다.

마지막으로, 도 7a 내지 도 7c에 제시된 도면을 참조하여 본 발명의 제 3 실시예를 살펴본다. 여기서, 도 7a는 최종적으로 만들어진 본 발명에 의한 오픈 드레인 I/O의 인헨스먼트 트랜지스터 구조를 도시한 단면도를 나타내고, 도 7b는 도 7a에 제시된 트랜지스터의 게이트 형성후의 레이아웃 구조를 도시한 평면도를 나타내며, 도 7c는 도 7a의 등가 회로도를 나타낸다.

도 7a를 참조하면, 본 발명의 제 3 실시예에서 제안된 인헨스먼트 트랜지스터는 크게, 필드 산화막(32)이 구비된 제 1 도전형(예컨대, p형) 반도체 기판(30)



상의 액티브 영역(F)에는 게이트 절연막(34)이 형성되고, 그 위의 소정 부분에는 "W-실리사이드(36b)/폴리실리콘(36a)" 적층 구조(혹은 폴리실리콘의 단층 구조)의 게이트(36)가 형성되며, 게이트(36)의 양 측벽에는 절연막 재료의 스페이서(38)가 형성되고, 게이트(36) 좌·우측의 기판(30) 내부에는 LDD(40)가 구비된 제 2 도전형(예컨대, n형)의 소오스/드레인 영역(42)이 형성되며, 게이트(34) 하단의 채널 영역에는 소오스/드레인 영역(42)과 서로 소정 간격 이격되도록 제 2 도전형의 불순물 주입 영역(44)이 형성되도록 구성되어 있음을 알 수 있다. 도 7a에서 W3는 게이트 길이를 나타낸다.

따라서, 상기 구조의 트랜지스터는 다음의 제 4 단계의 공정을 거쳐 제조된다.

제 1 단계로서, 필드 산화막(32)이 구비된 제 1 도전형 반도체 기판(30) 상의 액티브 영역(F)에 게이트 절연막(34)을 형성한 다음, 그 위의 소정 부분에 선택적으로 제 2 도전형의 불순물을 이온주입하여 게이트 절연막(34) 하단의 기판(30) 내부 소정 부분에 제 2 도전형 불순물 주입 영역(44)을 형성한다.

제 2 단계로서, 불순물 주입 영역(44)과 그 주변의 기판(30) 표면이 소정 부분 포함되도록, 게이트 절연막(34) 상에 게이트(36)를 형성한다. 이 경우 역시 상기 게이트(36)는 "W-실리사이드(36b)/폴리실리콘(36a)"의 적층 구조나 폴리실리콘의 단층 구조로 형성한다. 도 7b에는 본 실시예의 이해를 높이기 위하여 게이트(36)가 형성된 상태의 전체적인 소자 레이아웃 구조를 도시한 평면도를 제시해 놓았다.

제 3 단계로서, 게이트(36)를 마스크로 이용하여 기판(30) 상으로 저농도의 제 2 도전형 불순물을 이온주입하여 게이트(36) 좌·우측의 기판(30) 내부에 LDD(40)를 형성한다.

제 4 단계로서, 게이트(36)의 양 측벽에 절연막 재질의 스페이서(38)를 형성하고, 이를 마스크로 이용하여 기판(30) 상으로 고농도의 제 2 도전형 불순물을 이온주입하여 기판(30) 내에 소오스/드레인 영역(42)을 형성함으로써 본 공정 진행을 완료한다.

도 7c에는 도 7a에 제시된 트랜지스터의 등가회로도가 제시되어 있다. 상기 회로도를 참조하면, 불순물 주입 영역(44)인 n 채널 양단에 p 채널(도면상에서 "o"로 표시된 부분)이 형성되도록 트랜지스터의 채널이 구성되어 있음을 확인할 수 있다. 따라서, 상기 구조의 트랜지스터는 p 채널 영역에서는 인헨스먼트 트랜지스터(B1)로 동작하게 되고, n 채널 영역에서는 디플리션 트랜지스터(B2)로 동작하게 된다. 그러므로, 소오스 영역에 Vdd가 인가된 상태에서 게이트에 인가되는 내부 신호가 로우 레벨일 경우에만 인헨스먼트 트랜지스터의 역할을 하는 B1과 B1' 트랜지스터를 단락시킬 수 있게 된다.

【발명의 효과】

이상에서 살펴본 바와 같이 본 발명에 의하면, 1) 오픈 드레인 I/O 구현시 n 채널 디플리션 트랜지스터의 게이트 길이를 기존의 경우보다 다소 길게 가져가 주는 방식으로 간단하게 디플리션 트랜지스터를 인헨스먼트 트랜지스터화할 수 있게 되므로 게이트 형성후의 불순물 이온주입 공정이 필요없게 되어 공정 단순화와 비

용 절감을 실현할 수 있게 되고, 2) 이로 인해 동일 레이아웃 구조로도 마스크롬
임베디드 MCU와 이피롬 임베디드 MCU의 풀-업 저항용 I/O와 오픈 드레인 I/O를 모
두 구현할 수 있게 되므로 각 MCU 제조사 호환성있는 사용이 가능하게 된다.

【특허청구범위】

【청구항 1】

오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 구비한 오픈 드레인 입출력단을 갖는 반도체 장치에 있어서, 상기 인헨스먼트 트랜지스터가 게이트 절연막이 구비된 제 1 도전형 반도체 기판 상의 소정 부분에 형성된 게이트와, 상기 게이트 좌·우측의 상기 기판 내부에 형성된 제 2 도전형의 소오스/드레인 영역 및, 상기 소오스/드레인 영역중 선택된 어느 한 영역과 일체로 연결되도록, 상기 게이트 하단의 채널 영역 소정 부분에 걸쳐 형성된 제 2 도전형 불순물 주입 영역으로 이루어진 것을 특징으로 하는 반도체 장치의 오픈 드레인 입출력단 구조.

【청구항 2】

제 1항에 있어서, 상기 게이트는 폴리실리콘의 단층 구조나 "W-실리사이드/폴리실리콘"의 적층 구조를 갖는 것을 특징으로 하는 반도체 장치의 오픈 드레인 입출력단 구조.

【청구항 3】

오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 구비한 오픈 드레인 입출력단을 갖는 반도체 장치에 있어서, 상기 인헨스먼트 트랜지스터가 게이트 절연막이 구비된 제 1 도전형 반도체 기판 상의 소정 부분에 형성된 게이트와, 상기 게이트 좌·우측의 상기 기판 내부에 형성된 제 2 도전형의 소오스/드레인 영역 및, 상기 소오스/드레인 영역과 서로 소정 간격 이격되도록, 상기 게이트 하단의 채널 영역 소정 부분에 형성된 제 2 도전형의 불순물 주입 영역으로 이루어진 것을 특징

으로 하는 반도체 장치의 오픈 드레인 입출력단 구조.

【청구항 4】

제 3항에 있어서, 상기 게이트는 폴리실리콘의 단층 구조나 "W-실리사이드/폴리실리콘"의 적층 구조를 갖는 것을 특징으로 하는 반도체 장치의 오픈 드레인 입출력단 구조.

【청구항 5】

오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 구비한 반도체 장치의 오픈 드레인 입출력단 제조방법에 있어서, 상기 인헨스먼트 트랜지스터가 제 1 도전형 반도체 기판 상의 액티브 영역에 게이트 절연막을 형성하는 공정과, 제 2 도전형의 저농도 불순물 이온주입 공정을 통해, 상기 게이트 절연막 하단의 상기 기판 내부 소정 부분에 불순물 주입 영역을 형성하는 공정과, 상기 불순물 주입 영역의 소정 부분과 이와 연결된 그 인접부의 상기 기판 표면이 소정 부분이 포함되도록 상기 게이트 절연막 상에 게이트를 형성하는 공정 및, 제 2 도전형의 고농도 불순물 이온주입 공정을 통해, 상기 게이트 좌·우측의 상기 기판 내부에 소오스/드레인 영역을 형성하는 공정을 거쳐 제조되는 특징으로 하는 반도체 장치의 오픈 드레인 입출력단 제조방법.

【청구항 6】

제 5항에 있어서, 상기 게이트는 폴리실리콘의 단층 구조나 "W-실리사이드/폴리실리콘"의 적층 구조로 형성하는 것을 특징으로 하는 반도체 장치의 오픈 드레인 입출력단 제조방법.

【청구항 7】

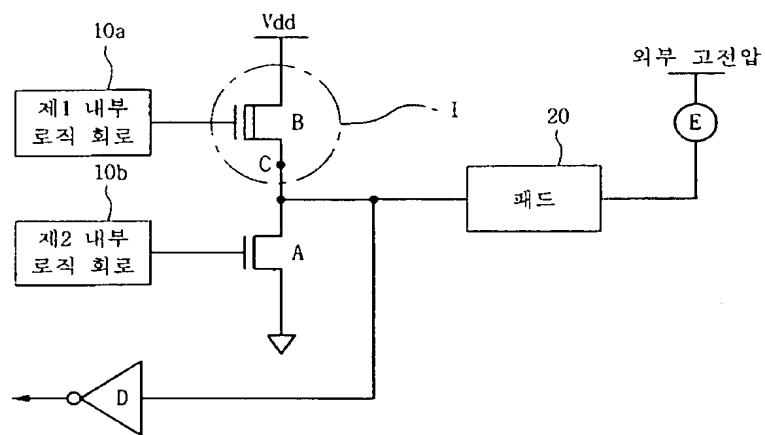
오픈 드레인 트랜지스터와 인헨스먼트 트랜지스터를 구비한 반도체 장치의 오픈 드레인 입출력단 제조방법에 있어서, 상기 인헨스먼트 트랜지스터가 제 1 도전형 반도체 기판 상의 액티브 영역에 게이트 절연막을 형성하는 공정과, 제 2 도전형의 저농도 불순물 이온주입 공정을 통해, 상기 게이트 절연막 하단의 상기 기판 내부 소정 부분에 불순물 주입 영역을 형성하는 공정과, 상기 불순물 주입 영역과 그 주변의 상기 기판 표면이 소정 부분이 포함되도록 상기 게이트 절연막 상에 게이트를 형성하는 공정 및, 제 2 도전형의 고농도 불순물 이온주입 공정을 통해 상기 게이트 좌·우측의 상기 기판 내부에 소오스/드레인 영역을 형성하는 공정을 거쳐 제조하는 것을 특징으로 하는 반도체 장치의 오픈 드레인 입출력단 제조방법.

【청구항 8】

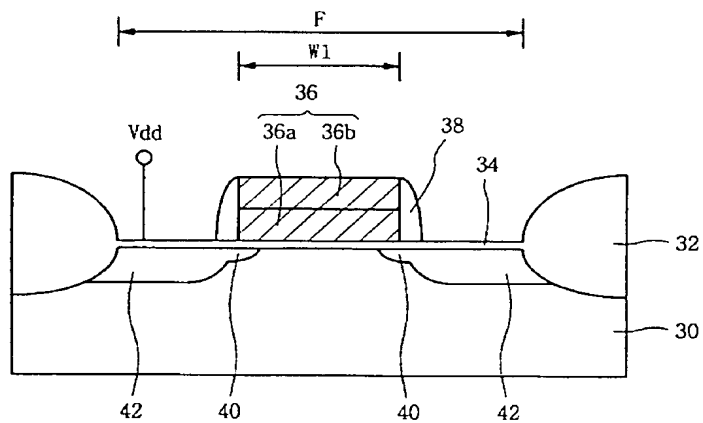
제 7항에 있어서, 상기 게이트는 폴리실리콘의 단층 구조나 "W-실리사이드/폴리실리콘"의 적층 구조로 형성하는 것을 특징으로 하는 반도체 장치의 오픈 드레인 입출력단 제조방법.

【도면】

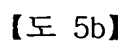
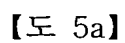
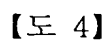
【도 1】

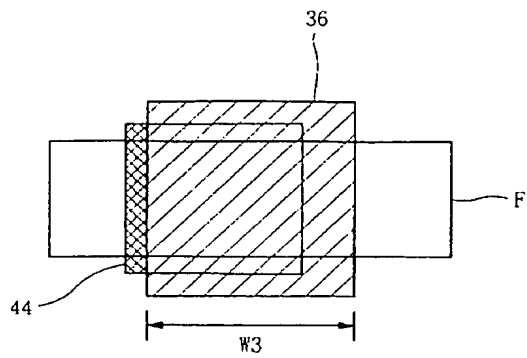


【도 2】

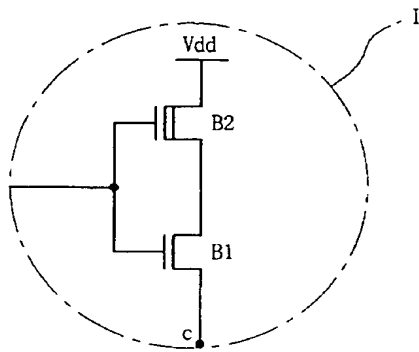


【도 3】

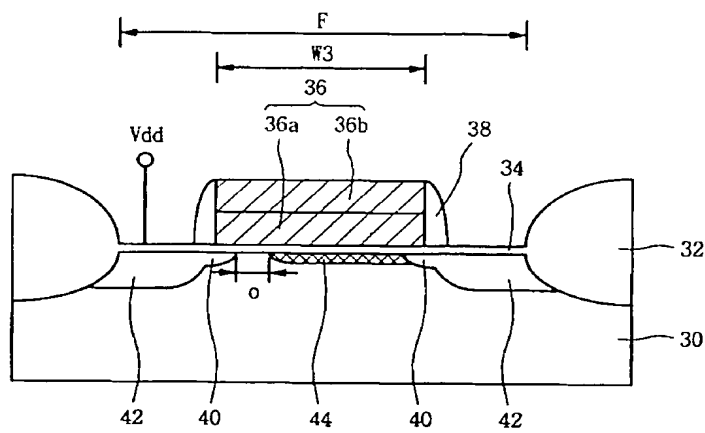




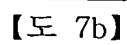
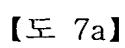
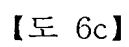
【도 5c】

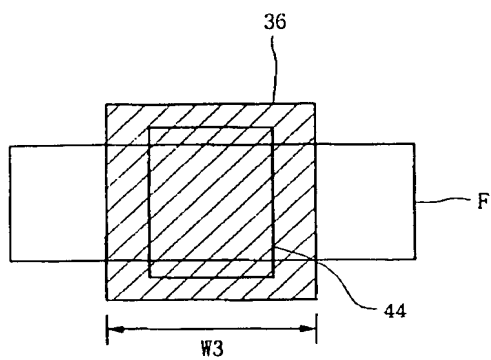


【도 6a】



【도 6b】





【図 7c】

